



DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

8478322

Basic Patent (No,Kind,Date): JP 63314862 A2 881222 <No. of Patents: 001>

MANUFACTURE OF THIN-FILM TRANSISTOR (English)

Patent Assignee: NIPPON ELECTRIC CO

Author (Inventor): SUKEGAWA OSAMU

IPC: *H01L-027/12; H01L-029/78

Derwent WPI Acc No: C 89-042888

JAPIO Reference No: 130160E000146

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 63314862	A2	881222	JP 87151792	A	870617 (BASIC)

Priority Data (No,Kind,Date):

JP 87151792 A 870617

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

02697962 **Image available**

MANUFACTURE OF THIN-FILM TRANSISTOR

PUB. NO.: 63-314862 [JP 63314862 A]

PUBLISHED: December 22, 1988 (19881222)

INVENTOR(s): SUKEGAWA OSAMU

APPLICANT(s): NEC CORP [000423] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 62-151792 [JP 87151792]

FILED: June 17, 1987 (19870617)

INTL CLASS: [4] H01L-027/12; H01L-029/78

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD:R002 (LASERS); R096 (ELECTRONIC MATERIALS -- Glass
Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide
Semiconductors, MOS)

JOURNAL: Section: E, Section No. 744, Vol. 13, No. 160, Pg. 146, April
18, 1989 (19890418)

ABSTRACT

PURPOSE: To enable a semiconductor interface to be annealed optically, by forming a gate electrode of a transparent conductor on a transparent insulating material, and then applying light for heat treating the semiconductor layer.

CONSTITUTION: A gate electrode 2 of a transparent conductor is formed on a glass substrate 1. Subsequently, a silicon nitride film 3 for providing a gate insulating film and an amorphous silicon film 4 are formed thereon. The amorphous silicon film 4 is etched so as to be left only on an element forming region and then a drain electrode 5 and a source electrode 6 are formed of aluminum. Double harmonics beam 7 is applied by a Q-switched YAG laser to the substrate 1 of the thin-film transistor. The incident laser beam passes through the substrate 1, electrode 2 and film 3 and absorbed by the interface between the films 4 and 3. Accordingly, annealing can be performed very efficiently.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 昭63-314862

⑬ Int. Cl.

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)12月22日

H 01 L 27/12
29/78

3 1 1

A-7514-5F
Y-7925-5F

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 薄膜トランジスタの製造方法

⑯ 特 願 昭62-151792

⑰ 出 願 昭62(1987)6月17日

⑱ 発 明 者 助 川 統 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

薄膜トランジスタの製造方法

2. 特許請求の範囲

1. 透明絶縁物上に形成された遊星ガード構造
薄膜トランジスタの製造方法において、前記透
明絶縁物上にゲート電極を透明導電体で形成し、
その上に半導体層形成した後、前記透明絶縁物
側からの光照射により前記半導体層の熱処理を
行なうことを特徴とする薄膜トランジスタの製
造方法。

2. 前記照射される光がYAGレーザーの第2高
調波であることを特徴とする特許請求の範囲第
1項記載の薄膜トランジスタの製造方法。

3. 発明の詳細を説明

〔産業上の利用分野〕

本発明は薄膜トランジスタの製造方法に関し、

特に遊星ガード構造薄膜トランジスタの光アニ
ーリングに関する。

〔従来の技術〕

アモルファスシリコン、多結晶シリコン等を用い
た薄膜トランジスタにおいて、光的に強力なレー
ザー光を用いて半導体膜をアニールし、膜質を改
善できることは当業者の間では周知の事実である。
アニールに用いられる光の波長は半導体膜に効率
よく吸収されるという条件から、波長300nm
以下の可視・紫外領域のものが用いられる。

従来の薄膜トランジスタにおいて、ゲート電極
は、金属・低抵抗ポリシリコン等で形成され、こ
れらの材料は可視・紫外領域の光に対し不透明で
あるため、アニーリングはゲート電極の形成前
に行なわれる。

〔発明が解決しようとする問題点〕

上述した従来の薄膜トランジスタアニーリング
プロセスはゲート電極の形成前に行なう必要があ
る。薄膜トランジスタの製造にはいくつかのタイ
プがあるが、トランジスタ特性およびその信頼性

の点で最っとも秀れているものは、逆スタガード構造と呼ばれる第1図に示されるものである。このタイプではまずゲート電極2が形成され、次にゲート絶縁膜3、半導体膜4が形成されるため、半導体膜4のうちトランジスタ特性を支配するゲート絶縁膜3との界面はゲート電極2によって遮断された状態になっており、半導体界面の先に与るアニーリングは行なうことができない。

〔問題点を解決するための手段〕

本発明の薄膜トランジスタは、透明導電膜によるゲート電極を有しており、ゲート形成後の光アニーリング処理を行なうプロセスを経て形成される。

〔作用〕

本発明によれば、透明導電膜によるゲート電極は、可視光を透過させるため、ゲート電極側からの光照射によるアニーリングを行なうことができ、逆スタガード構造薄膜トランジスタの光アニーリングが可能となる。

〔実施例〕

図例からQスイッチYAGレーザーの2倍波7を参照する。レーザー光はガラス基板1、ゲート電極2、酸化シリコン膜3を透過し、アモルファスシリコン膜4の酸化シリコン膜3界面部分に吸収され、効率的なアニーリングが行なえる。

第3図は本発明の他の実施例によるアニーリング工程の断面図である。ガラス基板1にITOによる透明ゲート電極2が形成され、酸化シリコン膜3、アモルファスシリコン4を成長した直後にQスイッチYAGレーザーの第2高調波7を照射する。この実施例では、アモルファスシリコン膜4が全面についているため、アニールが均一に行なえる利点がある。

〔発明の効果〕

以上説明したように、本発明はガラス基板上に透明導電膜をゲート電極として逆スタガードアモルファスシリコン薄膜トランジスタを形成しガラス基板側から可視光による光アニーリング処理を行なう事によりアモルファスシリコン膜の品質を改善し、トランジスタ特性を良好なものとするこ

次に本発明について図面を参照して説明する。

第1図は本発明の一実施例により得られる薄膜トランジスタの断面図である。図示される薄膜トランジスタは以下の工程によって作製される。ガラス基板1上に透明導電体によりゲート電極2が形成され、続いてゲート絶縁膜となる酸化シリコン膜3、アモルファスシリコン膜4が形成され、素子部Kのみアモルファスシリコン4を残すエッチング加工を行なった後、ドレイン5及びソース電極6がアルミニウムによって形成される。第2図はガラス基板—透明導電膜—酸化シリコン膜—有機物およびアモルファスシリコンの吸収率の成長依存性を示したものであり、波長400~700nm程度の光に対しては、前者3層膜層物は透明でありアモルファスシリコンは吸収係数が高い。この成長率の勢力を光源としては、QスイッチYAGレーザーの2倍波（波長532nmである第2高調波）がある。

第1図に示した薄膜トランジスタのアニールは次の様に行なえる。薄膜トランジスタのガラス基

とができる効果がある。

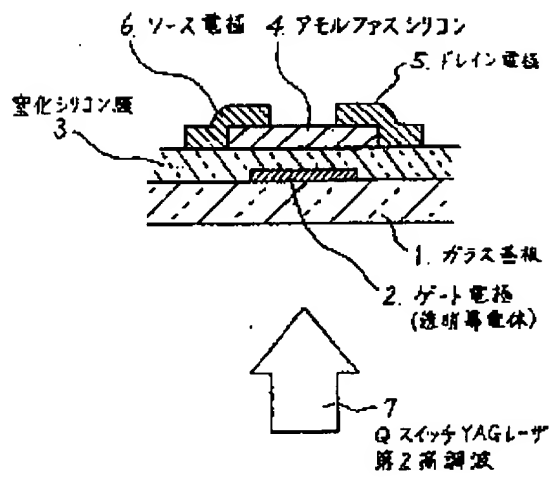
4. 図面の簡単な説明

第1図は本発明の一実施例により得られる薄膜トランジスタの断面図、第2図はガラス基板/透明導電膜/酸化シリコン膜3層膜及びアモルファスシリコンの吸収率の成長依存性を示すグラフ、第3図は本発明の他の実施例のアニーリング工程を示す断面図である。

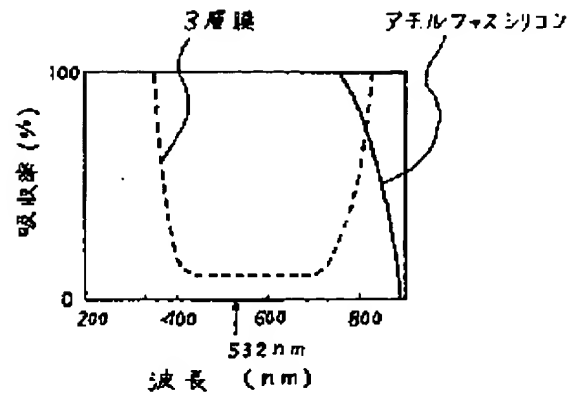
1……ガラス基板、2……透明導電体によるゲート電極、3……酸化シリコン膜、4……アモルファスシリコン膜、5……ドレイン電極、6……ソース電極、7……QスイッチYAGレーザーの第2高調波。

代理人 弁護士 内 原 賢

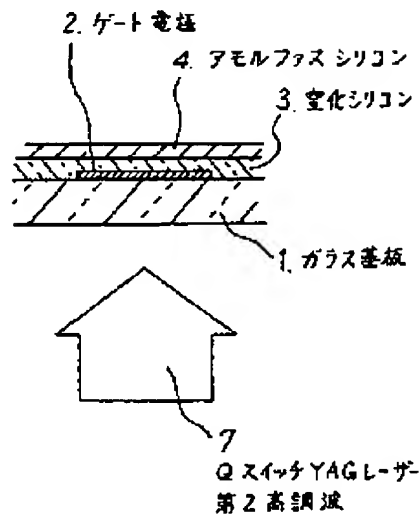




第1図



第2図



第3図